

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-174126

(43) 公開日 平成11年(1999) 7月2日

(51) Int. Cl.<sup>6</sup>

G 0 1 R 31/28

識別記号

F I

G 0 1 R 31/28

P

V

G

審査請求 未請求 請求項の数 2 O L (全 6 頁)

(21) 出願番号 特願平9-345180

(22) 出願日 平成9年(1997)12月15日

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 下田 玲祐

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(74) 代理人 弁理士 宮井 暎夫

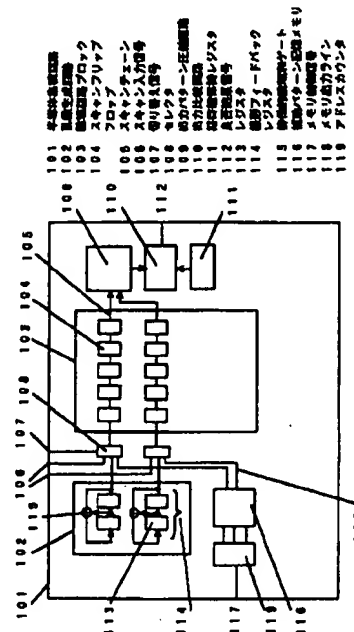
(54) 【発明の名称】 論理回路の組込み自己検査パターン発生装置およびパタ

ーン選定方法

(57) 【要約】

【課題】 スキャンパス設計された論理回路に対し、必要最小限の規模の回路を用い、短い時間で被検査回路内の全ての素子を対象にした組込み自己検査を行なう論理回路の組込み自己検査パターン発生装置およびパターン選定方法を提供する。

【解決手段】 論理回路ブロック103を検査するパターンを発生する回路として、同一の半導体集積回路101の内部に、乱数生成回路102のほかに、補助パターン記憶メモリ116を設け、最初、乱数生成回路102で生成したパターンを被検査回路103の各スキャンチェーン105に印加し、乱数の生成が一巡したのち、記憶していたパターンをメモリ116から読み出して、スキャンチェーン105に印加する。



## 【特許請求の範囲】

【請求項1】 スキャンパス設計された論理回路ブロックを組み回路にて自己検査するためのパターンを発生する論理回路の組み自己検査パターン発生装置であって、被検査回路を検査するための乱数パターンを発生する乱数生成回路と、前記被検査回路を検査するためのパターンを記憶した補助パターン記憶メモリと、前記乱数生成回路および前記補助パターン記憶メモリの出力を切り替えて前記被検査回路に入力する選択回路とを備えた論理回路の組み自己検査パターン発生装置。

【請求項2】 請求項1に記載した論理回路の組み自己検査パターン発生装置を構成する補助パターン記憶メモリに蓄積するパターンを選定する方法であって、最初に乱数生成回路で発生したパターンにより被検査回路を対象に故障シミュレーションを行い、この故障シミュレーションでの未検出故障を検出し得るパターンを生成し、このパターンを前記補助パターン記憶メモリに蓄えたデータに置き換えることを特徴とする論理回路の組み自己検査パターン選定方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】この発明は、論理回路の組み自己検査パターン発生装置およびパターン選択方法に関し、特に半導体回路内部に検査回路を組み込んで被検査回路内の全ての素子を対象に故障検査を行なうための論理回路の組み自己検査パターン発生装置およびパターン選定方法に係るものである。

## 【0002】

【従来の技術】図3はスキャンチェーンを内蔵するスキャンパス設計された論理回路に対する従来の組み自己検査パターン発生装置を示すブロック図である。図3において、501は半導体集積回路、503は検査対象となるスキャンパス設計された論理回路ブロック、502は被検査回路に対して乱数パターンを発生する乱数生成回路、509は被検査回路から出力されるパターンを圧縮する出力パターン圧縮回路、511は期待値保持レジスタ、510は出力パターン圧縮回路509と保持された期待値を比較し良否結果信号512を出力するための出力比較回路である。

【0003】ここで、図5の論理回路ブロック503と乱数生成回路502の関係について詳しく説明する。一般的に、スキャンフリップフロップ504で構成されたスキャンチェーン505を内蔵する論理回路ブロック503を、半導体集積回路501の内部に組み込んだ自己検査回路装置により故障検査する場合、論理回路ブロック503内の構造にメモリブロックのような規則性が存在しないので、論理回路ブロック503内のスキャン用フリップフロップ504にすべての組み合わせが起こるようなパターンを印加する必要がある。

【0004】そのため、1つの手法として、被検査回路

である論理回路ブロック503内の全てのスキャンフリップフロップ504の合計数の段数のレジスタ513で構成された線形フィードバックシフトレジスタ514を用いた乱数生成回路502を、論理回路ブロック503と同一の半導体集積回路501の内部に設計し、乱数生成回路502により各レジスタ513で生成したパターンを、切り替え信号507でセクタ508を制御することにより、組み自己検査時には、スキャンチェーン505上のスキャンフリップフロップ504にシフトインすることによって、論理回路ブロック503内のスキャンフリップフロップ504にすべての組み合わせの状態を設定していた。506はスキャン入力信号、515は排他的論理和ゲートである。

## 【0005】

【発明が解決しようとする課題】しかしながら、すべての組み合わせを発生させるというこの従来のパターン発生装置では、フリップフロップ数 $n$ の被検査回路に対しては、 $2^n$  ( $2$ の $n$ 乗)通りのパターンを発生することになり、フリップフロップ数に対して、生成すべきパターン数が指数関数的に増加し、またパターン発生をおこなっていくにつれて未検出の故障を検出する能力の無いパターンも次第に頻繁に現れてくることから、入力数の多いブロックに対してはパターン生成時間が非常に長く、また生成するパターンに無駄が多いという問題点、および組み自己検査パターン発生装置が大きくなるという問題点があり、現実的に実用に耐えるものではなかった。

【0006】一方、パターン生成時間を短縮するとともに回路面積を削減するために、各スキャンチェーン毎に乱数パターンを生成するための線形フィードバックシフトレジスタ514を分割し、かつ構成するレジスタ513の数を各スキャンチェーン505上のフリップフロップ504の数よりも減らして、その個数を $n$ より小さい $m$ にすると、 $2^m$  ( $2$ の $m$ 乗)となり、レジスタの個数の減少割合に比べて生成されるパターンの組み合わせ数は急激に小さくなっていくが、それに伴い、スキャンフリップフロップ504に設定できる状態の組み合わせ数も急激に減少するため、全部の組み合わせパターンを発生したとしても全く制御されない故障が増加する。即ち、十分な故障検出率に到達できないため、対象のブロック回路で故障が発生していても見落としてしまう可能性があった。

【0007】この発明は、このような課題を解決し、被検査回路を含む半導体集積回路内部に、乱数生成回路の他に、パターン記憶用のメモリを設け、乱数生成回路で設定することができないパターンを追加発生することにより、比較的短い時間で被検査回路内の全ての素子を対象にした故障検査を行うことができる論理回路の組み自己検査パターン発生装置を提供することを目的とする。

【0008】またこの発明は、パターン記憶メモリの容量を少なくすることができる論理回路の組込み自己検査パターン選定方法を提供することを目的とする。

【0009】

【課題を解決するための手段】請求項1記載の論理回路の組込み自己検査パターン発生装置は、スキャンパス設計された論理回路ブロックを組込み回路にて自己検査するためのパターンを発生する論理回路の組込み自己検査パターン発生装置であって、被検査回路を検査するための乱数パターンを発生する乱数生成回路と、被検査回路10を検査するためのパターンを記憶した補助パターン記憶メモリと、乱数生成回路および前記補助パターン記憶メモリの出力を切り替えて被検査回路に入力する選択回路とを備えたものである。

【0010】請求項1記載の論理回路の組込み自己検査パターン発生装置によれば、半導体回路内部において、乱数生成回路で生成したパターンで検出できない故障の検出をおこなうためのパターンを補助パターン記憶メモリに蓄積しておき、最初、乱数生成回路で生成したパターンを被検査回路の各入力に印加し、乱数の生成が一巡したのち、記憶しておいたパターンを補助パターン記憶メモリから読み出して、被検査回路の入力に印加する。この結果、パターン蓄積用の補助パターン記憶メモリがあることにより、乱数生成回路をスキャンフリップフロップ数より少ない段数の線形フィードバックシフトレジスタで構成することができ、被検査回路内の全ての素子を対象にした故障検査を、必要最小限の回路規模のパターン発生装置を使用して行うことができるとともに、短い時間で被検査回路内の全ての素子を対象にした故障検査を行うことが可能になるので、パターン発生装置全体で発生するパターン生成時間を短縮することができる。

【0011】請求項2記載の論理回路の組込み自己検査パターン選定方法は、請求項1に記載した論理回路の組込み自己検査パターン発生装置を構成する補助パターン記憶メモリに蓄積するパターンを選定する方法であって、最初に乱数生成回路で発生したパターンにより被検査回路を対象に故障シミュレーションを行い、この故障シミュレーションでの未検出故障を検出し得るパターンを生成し、このパターンを補助パターン記憶メモリに蓄えたデータに置き換えることを特徴とするものである。

【0012】請求項2記載の論理回路の組込み自己検査パターン選定方法によれば、故障検出効果の高いパターンをテストパターン自動生成手段を用いて選定することにより、そのみを補助パターン記憶メモリに蓄積でき、必要な補助パターン記憶メモリの容量を最小限におさえることができる。

【0013】

【発明の実施の形態】以下、この発明の実施の形態を図1および図2を用いて説明するが、この発明が実施の対象とする技術の前提として、検査の対象となる回路は、

スキャンチェーンを内蔵するスキャンパス設計された論理回路とし、この回路を半導体回路内部に組み込んだ自己検査回路装置により故障検査をするものとする。

【0014】図1は、この発明の実施の形態における、スキャンパス設計された論理回路の組込み自己検査パターン発生装置を示す回路図である。なお、スキャンパス設計とは、論理回路の故障検査を容易にするための設計手法の一つで、論理回路に含まれるフリップフロップに対し、テスト専用のバス（これをスキャンチェーンと呼ぶ。）を通して制御、観測を可能とする設計手法のことである。

【0015】図1において、101は半導体集積回路、103は検査対象となるスキャンパス設計された論理回路ブロック、102は被検査回路に対して乱数パターンを発生する乱数生成回路、116は被検査回路に対するパターンがあらかじめ記憶された補助パターン記憶メモリ、108は組込み自己検査時に論理回路ブロック103に対して乱数生成回路102で生成したパターンを使用するか補助パターン記憶メモリ116に記憶されたパターンを使用するかを選択し制御するための選択回路であるセレクタ、109は被検査回路から出力されるパターンを圧縮する出力パターン圧縮回路、111は期待値保持レジスタ、110は出力パターン圧縮回路109と保持された期待値を比較し良否結果信号112を出力するための出力比較回路である。

【0016】被検査回路である論理回路ブロック103が含まれる半導体集積回路101の内部に、乱数生成回路102と補助パターン記憶メモリ116、およびそれらを選択・制御するセレクタ108を設計する。論理回路ブロック103に対しては、通常は外部または他のブロックから入力されるが、自己検査時には、乱数生成回路102でパターンを生成して論理回路ブロック103に入力するか、乱数生成回路102からは生成し得ないパターンをあらかじめ記憶しておいた補助パターン記憶メモリ116から読み出して論理回路ブロック103に入力するかを選択できるように設計をおこなう。乱数生成回路102は、論理回路ブロック103のスキャンフリップフロップ104の合計数にかかわらず、 $2^m$ （ $2$ の $m$ 乗）が許容される全体のテスト時間に十分収まるパターン数となるように、 $m$ の値を決定し、乱数生成回路102を、 $m$ をレジスタ113の個数とする線形フィードバックシフトレジスタ114で構成して設計する。補助パターン記憶メモリ116は、スキャンチェーン105の総本数分をビット数とし、またその総本数と同数のメモリ出力ライン118をもつ。メモリ制御信号117の変化により、アドレスカウンタ119の出力値が1ずつ変化して、補助パターン記憶メモリ116を読み出しアクセスするアドレスを1ずつ変えることによって、読み出す値を次々と変えていく。補助パターン記憶メモリ116には、1つのアドレスごとに1クロック信号でス

キャンチェーン105にシフトインするデータを記憶しておく。したがって、補助パターン記憶メモリ116には、スキャンフリップフロップ104に対してスキャンチェーン105を通してシフトインするのに必要な総クロック数のアドレスを有する。

【0017】次に、論理回路ブロック103に対して組み込み自己検査を実行する場合には、まず、切り替え信号107でセクタ108を制御することにより、自己検査生成パターン生成回路として、乱数生成回路102を選択し、乱数生成回路102で生成したパターンをスキャンチェーン105上のスキャンフリップフロップ104に各スキャンチェーン105ごとに順次シフトインすることにより、論理回路ブロック103内ではスキャンチェーン105に接続したスキャンフリップフロップ104を使用してスキャンバステストを行う。スキャンフリップフロップ104に対して乱数生成回路102で生成し得るすべての組み合わせの状態を設定し終えると、次に切り替え信号107でセクタ108を制御することにより、自己検査生成パターン生成回路として、補助パターン記憶メモリ116を選択し、補助パターン記憶メモリ116にあらかじめ記憶しておいたパターンを順次読み出してスキャンチェーン105上のスキャンフリップフロップ104に各スキャンチェーン105ごとに順次シフトインすることにより、論理回路ブロック103内ではスキャンチェーン105に接続したスキャンフリップフロップ104を使用してスキャンバステストを行う。なお、108はスキャン入力信号、115は排他的論理和ゲートである。

【0018】図2は、図1における補助パターン記憶メモリ116に蓄積するテストパターンを選定するための処理手順を示すフローチャートである。図1の乱数生成回路102と論理回路ブロック103の部分をセクタ108を介さずに直結し、それと、出力パターン圧縮回路109、出力比較回路110、期待値保持レジスタ111のそれぞれの部分を加えて、良否結果信号112を出力端子とする論理回路モデル201を作成し、故障定義手段202を用いて論理回路モデル201内の被検査回路内の全ての信号線に対して故障を定義し、シミュレーション対象故障一覧203に出力する。

【0019】そして、良否結果信号112において出力信号の観測をおこない、乱数生成回路102に含まれる線形フィードバックシフトレジスタ114をシフト動作させるクロック信号204を用いて、故障シミュレーション手段205において、故障シミュレーションを時刻順に実行する。初期時刻において、論理回路モデル中に、現時点でのシミュレーション対象故障一覧203に含まれる全ての故障を設定し、クロック信号を1回入力し、正常値および故障の影響を伝搬させる。論理回路モデルに設定しておいた観測点で論理回路モデルからの出力を観測する時間に到達した場合に、その観測点で検出

される可能性の無い故障を分類した未検出故障一覧を作成し、それを次のサイクルにおけるシミュレーション対象故障一覧203として、各サイクルを繰り返す。乱数生成回路から生成されるパターンが一巡すると、その時点でのシミュレーション対象故障一覧203を、乱数生成パターンでの最終的な未検出故障情報206として出力する。

【0020】次に、図1の論理回路ブロック103の部分に対応する論理回路モデル207を作成し、計算機上で実現されるテストパターン自動生成手段208によって、未検出故障情報206に含まれている各々の故障を対象に、それを検出するパターンを求める。これを論理回路ブロックで必要な故障検出率を満足するまでおこない、各スキャンチェーン105にシフトインする信号値を時刻順に並べた補助パターンテーブル209を作成する。この補助パターンテーブル209における1時刻の信号値の並びを1アドレスずつに割り当て、図1の補助パターン記憶メモリ116に記憶しておく。

【0021】表1は補助パターンテーブルの一例である。

【0022】

【表1】

時刻	入力信号値			
	a	b	c	
T1	1	0	0	シフトイン
T2	0	1	0	
T3	1	0	0	
T4	1	1	1	
T5	0	0	1	
T6	x	x	x	シフトイン
T7	0	1	1	
T8	1	0	1	
T9	0	0	1	
T10	1	1	1	
T11	0	0	0	
T12	x	x	x	
...	...	...	...	

【0023】この例では、検査対象となる論理回路ブロック103内に存在する3本のスキャンチェーン105からそれぞれ5個のスキャンフリップフロップ104の状態を設定する場合を表している。論理回路ブロックにおける3本のスキャンチェーン105の入力端子a, b, cに対して、時刻T1に、a=1, b=0, c=0、時刻T2に、a=0, b=1, c=0のように、入力信号値を与えるパターンを表している。時刻T1, T2, T3, T4, T5において、それぞれのクロック信

号に同期してスキャンチェーン105の入力端子a, b, cから入れたテストデータがスキャンチェーン105上をスキャンフリップフロップ104の1つ分シフトし、このようなシフトイン動作が5クロック分連続しておこなわれる。次に、時刻T6においてクロックに同期してスキャンフリップフロップ104は通常データを入力から出力に送り込む動作をおこなう。時刻T6では、スキャンチェーン105へのシフトイン動作はおこなわれないため、スキャンチェーン105の入力端子a, b, cに入れる値は0であっても1であってもかまわないので、“x”と記載している。時刻T7～T12についても、同様に行なわれる。

【0024】表2は表1の補助パターンテーブルの内容に対応する補助パターン記憶メモリ116の記憶内容を説明するものである。

【0025】

【表2】

アドレス	ビット		
	1	2	3
1	1	0	0
2	0	1	0
3	1	0	0
4	1	1	1
5	0	0	1
6	0	1	1
7	1	0	1
8	0	0	1
9	1	1	1
10	0	0	0
...	...	...	...

【0026】補助パターン記憶メモリ116の各ビットは、各スキャンチェーン105に対応しており、各アドレスは、先頭からの時刻に対応している。シフトインする時刻での入力端子a, b, cそれぞれの入力信号値を第1ビット、第2ビット、第3ビットに割り当て、T1, T2, T3という時刻に対応して、それぞれ第1アドレス、第2アドレス、第3アドレス、…のように時刻順に、補助パターン記憶メモリ116に蓄積する。

【0027】

【発明の効果】請求項1記載の論理回路の組込み自己検査パターン発生装置によれば、半導体回路内部において、乱数生成回路で生成したパターンで検出できない故障の検出をおこなうためのパターンを補助パターン記憶メモリに蓄積しておき、最初、乱数生成回路で生成した

パターンを被検査回路の各入力に印加し、乱数の生成が一巡したのち、記憶しておいたパターンを補助パターン記憶メモリから読み出して、被検査回路の入力に印加する。この結果、パターン蓄積用の補助パターン記憶メモリがあることにより、乱数生成回路をスキャンフリップフロップ数より少ない段数の線形フィードバックシフトレジスタで構成することができ、被検査回路内の全ての素子を対象にした故障検査を、必要最小限の回路規模のパターン発生装置を使用して行うことができるとともに、短い時間で被検査回路内の全ての素子を対象にした故障検査を行うことが可能になるので、パターン発生装置全体で発生するパターン生成時間を短縮することができる。

【0028】請求項2記載の論理回路の組込み自己検査パターン選定方法によれば、故障検出効果の高いパターンをテストパターン自動生成手段を用いて選定することにより、そのみを補助パターン記憶メモリに蓄積でき、必要な補助パターン記憶メモリの容量を最小限におさえることができる。

20 【図面の簡単な説明】

【図1】この発明の一実施の形態における論理回路の組込み自己検査パターン発生装置の構成を示すブロック図である。

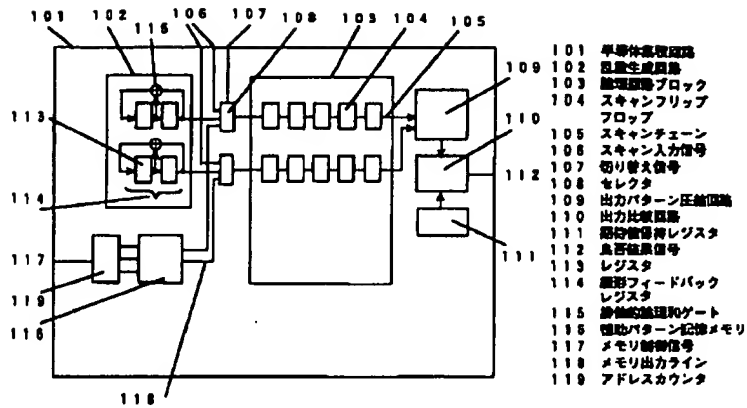
【図2】図1の補助パターン記憶メモリに蓄積するテストパターンを選定するための処理手順を示すフローチャートである。

【図3】従来の論理回路の組込み自己検査パターン発生装置の構成を示すブロック図である。

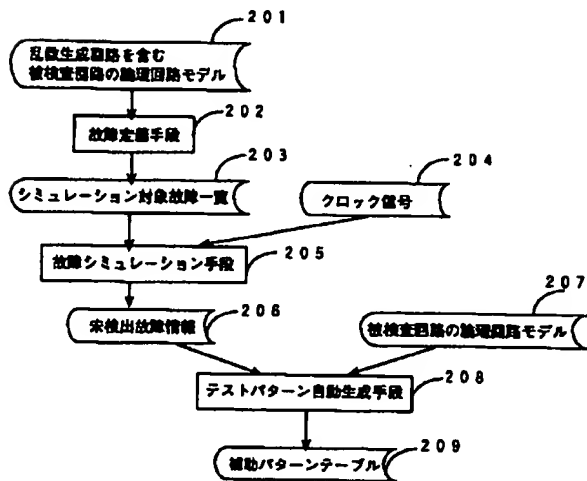
【符号の説明】

- 30 101 半導体集積回路
- 102 乱数生成回路
- 103 論理回路ブロック
- 104 スキャンフリップフロップ
- 105 スキャンチェーン
- 106 スキャン入力信号
- 107 切り替え信号
- 108 セレクタ
- 109 出力パターン圧縮回路
- 110 出力比較回路
- 40 111 期待値保持レジスタ
- 112 良否結果信号
- 113 レジスタ
- 114 線形フィードバックレジスタ
- 115 排他的論理和ゲート
- 116 補助パターン記憶メモリ
- 117 メモリ制御信号
- 118 メモリ出力ライン
- 119 アドレスカウンタ

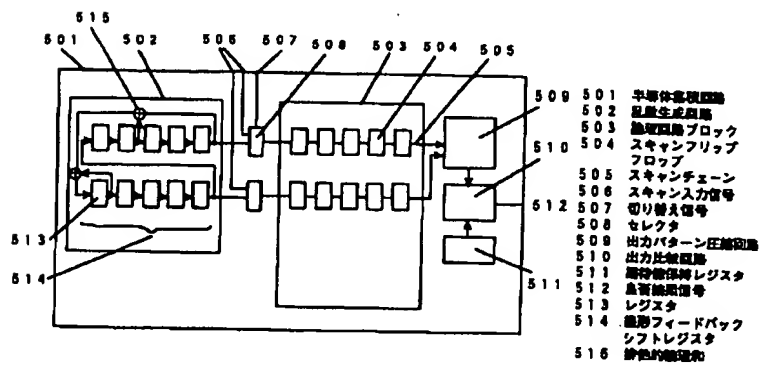
【図1】



【図2】



【図3】



## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-174126

(43)Date of publication of application : 02.07.1999

(51)Int.Cl.

G01R 31/28

(21)Application number : 09-345180

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 15.12.1997

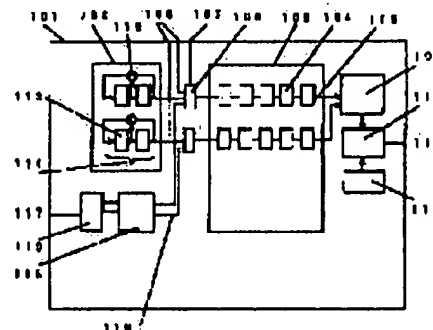
(72)Inventor : SHIMODA TAMASUKE

## (54) SELF-INSPECTION PATTERN GENERATION DEVICE FOR INCORPORATION IN LOGIC CIRCUIT AND PATTERN SELECTION METHOD

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To perform an self-inspection for incorporation of all elements in circuit to be inspected quickly, by a circuit with a scale that is required at the minimum for a logic circuit that is subjected to scan path design.

**SOLUTION:** An auxiliary pattern storage memory 116 is provided in addition to a random number generation circuit 102 as a circuit for generating a pattern for inspecting a logic circuit block 103 in the same semiconductor integrated circuit 101, first, the pattern being generated by the random number generation circuit is applied to each scan chain 105 of the circuit 103 to be inspected, and the pattern being stored is read from the memory 116 after the generation of a random number is completed and is applied to a scan chain 105.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Japan Patent Office  
Public Patent Disclosure Bulletin

Public Patent Disclosure Bulletin No.: JP11-174126

Public Patent Disclosure Bulletin Date: July 2, 1999

Number of Inventions: 2

Total Pages: 6

Int Cl.5

Identification Code

Internal File Nos.

G01R 31/28

G01R 31/28

P  
V  
G

-----

Title of Invention: Self-inspection Pattern Generation Device for Incorporation in a Logic Circuit and Pattern Selection Method

Patent Application Number: JP9-345180

Patent Application Date: December 15, 1997

Applicant: 000005821

Matsushita Electric Ind Co Ltd

1006 Banchi Kadoma Daiji, Kadoma-shi, Osaka

Inventor: Shimoda Tamasuke

1006 Banchi Kadoma Daiji, Kadoma-shi, Osaka, Matsushita Electric Ind  
Co Ltd internal

Agent: Miyai Hideo, Benrishi

---

[Claims]

[Claim 1]

Being a self-inspection pattern generating device for incorporation in a logic circuit that, by means of a built-in circuit, generates patterns for self-testing a logic circuit block designed to have scan paths,

a self-inspection pattern generating device for incorporation in a logic circuit providing:  
a random number generator circuit for generating random patterns for testing a circuit under test;

an auxiliary pattern storage memory for storing patterns for testing said circuit under test;

and a selection circuit for switching between the outputs of said random number generator circuit and said auxiliary pattern storage memory, and inputting it into said circuit under test.

[Claim 2]

Being a means of selecting patterns stored in the auxiliary pattern storage memory that is a component of the self-inspection pattern generating device for incorporation in a logic circuit of Claim 1,

a self-inspection pattern selection method for incorporation in a logic circuit characterized by:

performing error simulation of the circuit under test by means of patterns generated at first by a random number generator circuit,



generating patterns that can detect the errors undetected by said simulation, and replacing these patterns with the data stored in said auxiliary pattern storage memory.

[Detailed description of the Invention]

[0001] [Area of the Invention]

This invention relates to a self-inspection pattern generation device for incorporation in a logic circuit and a method of pattern selection. In particular, it concerns a self-inspection pattern generation device for incorporation in a logic circuit and a method of pattern selection for performing error detection on all elements on the circuit under test by incorporating the test circuit into the semiconductor circuit.

[0002] [Prior Art]

Fig 3 is a block diagram showing a conventional built-in self-test pattern generation device for a logic circuit designed with scan paths containing scan chains. In Fig 3, 501 is a semiconductor integrated circuit, 503 is a logic circuit block designed with scan paths for testing, 502 is a random number generator circuit for generating random patterns for the circuit under test, 509 is an output pattern compression circuit for compressing patterns output from the circuit under test, 511 is an expected value storage register, 510 is an output comparison circuit for comparing the stored expected values with [those from] output pattern compression circuit 509, and for outputting a pass/fail result signal 512.

[0003]

Here, the relation between logic circuit block 503 and random number generator circuit 502 of Fig 5 [sic, should be Fig 3] will be explained in detail. Generally, when logic circuit 503 containing scan chains 505 which are composed of scan flip-flops 504 is tested for errors, with a self-testing device built into semiconductor integrated circuit 501, because the internal structure of logic circuit block 503 does not have the regularity of a memory block, it is necessary to apply patterns so that all combinations will occur in the scan flip-flops 504 in logic circuit block 503.

[0004]

One means to that end is to design, inside of the same semiconductor integrated circuit 501 as logic circuit block 503, random generator circuit 502 which uses a linear feedback shift register 514 composed of as many registers 513 as the total number of all scan flip-flops 504 on logic circuit block 503, the circuit under test, and, when the built-in self-testing is applied by controlling selector 508 with switch signal 507, by means of shifting patterns generated in registers 513 by means of random number generator circuit 502 into scan flip-flops 504 on scan chains 505, all combination states are set in scan flip-flops 504 in logic circuit block 503. 506 is a scan input signal, and 515 is an exclusive OR gate.

[0005] [Problems to be Solved by the Invention]

However, this conventional pattern generating device which generates all combinations, does not hold up to real use because:  $2^n$  (two to the power of n) patterns are generated for

n flip-flops on a circuit under test so that the number of patterns to be generated increases exponentially with the number of flip-flops; also problematic is that as patterns are generated, patterns which are unable to detect undetected faults occur systematically and with great frequency so that pattern generation time becomes extremely long for blocks with many inputs, and many of the patterns generated are useless; further there is the problem that the built-in self-test pattern generating device may become too large.

[0006]

On the other hand, in order to decrease the surface area of the circuit as well as shorten pattern generation time, the linear feedback shift register 514 that generates random patterns is partitioned for each scan chain, and, decreasing the number of registers 513 comprising [the LFSRs] to be fewer than the number of flip-flops 504 on each scan chain 505, if [number of registers] m is selected less than [number of flip-flops per scan chain] n, [the number of patterns generated] becomes  $2^m$  (two raised to the  $m^{\text{th}}$  power), and the number of pattern combinations generated drops dramatically compared with the reduced ratio of number of registers [per LFSR partitions]. Concomitantly, because the number of combination states configurable for scan flip-flops 504 decreases dramatically, even if all combinatorial patterns are generated, there will be an increase in errors that are not controlled at all. In other words, an acceptable error detection rate cannot be reached, and errors in the block circuit in question may occur and be overlooked.

[0007]

The invention solves this kind of problem, and aims to offer a self-inspection pattern generating device for incorporation in a logic circuit that, in addition to providing a random number generator circuit, also provides a pattern storage memory that is on the semiconductor integrated circuit which includes the circuit under test, and which, by means of generating additional patterns that cannot be configured by a random number generator circuit, is also able to perform error detection on all elements inside the circuit under test within a relatively short time.

[0008]

Further, the invention aims to offer a method of selecting patterns for self-inspection for incorporation in a logic circuit that can decrease the pattern storage memory [needed].

[0009][Means of Solving the Problems]

The self-inspection pattern generation device for incorporation in a logic circuit of Claim 1, being a self-inspection pattern generating device for incorporation in a logic circuit that, by means of a built-in circuit, generates patterns for self-testing a logic circuit block designed to have scan paths, provides a random number generator circuit for generating random patterns for testing a circuit under test; an auxiliary pattern storage memory for storing patterns for testing the circuit under test; and a selection circuit for switching between the outputs of the random number generator circuit and said auxiliary pattern storage memory, and inputting it into said circuit under test.

[0010]

By means of the self-inspection pattern generating device for incorporation in a logic circuit of Claim 1, patterns for detecting errors which cannot be detected by patterns generated by the random number generator circuit inside the semiconductor circuit are stored in an auxiliary pattern storage memory. First, patterns generated by the random number generator circuit are applied to each input of the circuit under test, and after one cycle of random number generation, the stored patterns are read out from auxiliary pattern storage memory and applied to the inputs of the circuit under test. As a result, by having auxiliary pattern storage memory for pattern storage, in addition to being able to construct a random number generator circuit with linear feedback shift registers having fewer stages than there are scan flip-flops and being able to perform error detection on all elements in a circuit under test using a pattern generating device of the smallest necessary circuit scale, because it is possible to perform error detection on all elements inside a circuit under test within a short time, total pattern generation time used for generating with the pattern generation device can be shortened.

[0011]

The self-inspection pattern selection method for incorporation in a logic circuit of Claim 2, being a means of selecting patterns stored in the auxiliary pattern storage memory, a component of the self-inspection pattern generating device for incorporation in a logic circuit of Claim 1, is characterized by: performing error simulation of the circuit under test by means of patterns generated first by a random number generator circuit, generating patterns that can detect the errors undetected by said simulation, and replacing these patterns with the data stored in said auxiliary pattern storage memory.

[0012]

According to the method of pattern selection for self-inspection for incorporation in a logic circuit of Claim 2, by means of selecting error detection-efficient patterns using an automatic test pattern generator, it is possible to store only those patterns in auxiliary pattern storage memory, and the needed auxiliary pattern storage memory's capacity can be kept as low as possible.

[0013] [Preferred Embodiment of the Invention]

Below, a preferred embodiment of the invention is explained using Figs 1 and 2. As far as the technology presupposed in the preferred embodiment of the invention, the circuit to be tested is a logic circuit designed having scan paths that contain scan chains, and the circuit performs error detection by means of a self-inspection circuit device built into a semiconductor integrated circuit.

[0014]

In the preferred embodiment of the invention, Fig 1 is a circuit diagram showing a self-inspection pattern generation device for incorporation in a logic circuit with a scan path design. In particular, scan path design is a means of design for making error detection on logic circuits easier; it is a design method for allowing control and observation along paths used exclusively for testing (called scan chains) the flip-flops contained the logic circuit.

[0015]

In Fig 1, 101 is a semiconductor integrated circuit; 103 is a logic circuit block, the testing object, which is designed with scan paths; 102 is a random number generator circuit for generating random patterns for the circuit under test; 116 is auxiliary pattern storage memory where patterns for the circuit under test are stored in advance; 108 is a selector or selection circuit for selecting and controlling whether to use patterns generated by random number generation circuit 102 or whether to use patterns stored in auxiliary pattern storage memory 116 for logic circuit block 103 during built-in self-testing; 109 is an output pattern compression circuit for compressing patterns output from the circuit under test; 111 is an expected value storage register; and 110 is an output comparison circuit which compares the stored expected values with [those from] the output pattern compression circuit 109 and outputs a pass/fail result signal 112.

[0016]

Random number generator circuit 102, auxiliary pattern storage memory 116 and selector 108 which selects and controls them are designed to be in semiconductor integrated circuit 101 containing logic circuit block 103 which is the circuit under test. Normally, logic circuit block 103 would receive input from outside or from another block, but during self-test, it is designed to be able to choose whether to generate patterns with random number generator circuit 102 and input them into logic circuit block 103, or to read out from auxiliary pattern storage memory 116 patterns that cannot be generated by random number generation circuit 102 and that were stored in advance, for input into logic circuit block 103. Regardless of the total number of scan flip-flops in logic circuit block 103, a value  $m$  is determined so that  $2^m$  (two to the power of  $m$ ) is a number of patterns that can be dealt with fully in the total allowed testing time, and random number generator circuit 102 is designed comprising linear feedback shift registers 114 having  $m$  registers 113. The number of bits of the auxiliary pattern storage memory 116 is set at the number of scan chains 105, and further it will have the same number of memory output lines 118. By changing memory control signal 117, the output values of address counter 119 will change by one and auxiliary pattern storage memory 116 will be read out; by means of changing the accessed address by one, the read-out values will keep changing. In auxiliary storage memory 116, the data to be shifted into scan chain 105 with each clock signal is saved in advance in each address. Therefore, the auxiliary pattern storage memory has the number of addresses as the total number of clock cycles needed to shift [that data] into the scan flip-flops 105 via scan chains 105.

[0017]

Next, in carrying out built-in self-testing on logic circuit block 103, first, random number generator circuit 102 is selected as a self-test generated pattern generator circuit by controlling selector 108 via switch signal 107, and by means of shifting the patterns generated by random number generator circuit 102 into scan flip-flops 104 on scan chains 105 in order, scan path tests are performed using the scan flip-flops connected to scan chains 105 in logic circuit block 103. Once all the combination states that can be generated with random number generator circuit 102 for scan flip-flops 104 have been set, next, auxiliary pattern storage memory 116 is selected by controlling selector 108 via switch signal 107 as a self-test generated pattern generator circuit, and by means of

reading out the patterns stored in advance in auxiliary pattern storage memory 116 in order and shifting them into flip-flops 104 on scan chain 105 for each scan chain 105 in order, scan path tests are performed using the scan flip-flops connected to scan chains 105 in logic circuit block 103. Moreover, 106 is a scan input signal, and 115 is an exclusive OR gate.

[0018]

Fig 2 is a flow chart showing the processing steps for selecting test patterns stored in the auxiliary pattern storage memory of Fig 1. A model of the logic circuit is created in which the random number generator circuit 102 and logic circuit block 103 units of Fig 1 are connected directly without going through a selector 108; various units are added like an output pattern compression circuit 109, an output comparison circuit 110, an expected value storage register 111; and pass/fail result signal 112 is used as the output terminal. Errors are defined for all the signal paths inside the circuit under test in logic circuit model 201 using error definition unit 202 and are output to simulation error table 203.

[0019]

Thus, output is observed in the pass/fail result signal 112, and error simulation is realized in error simulation unit 205 as time elapses using clock signal 204 which drives the shift operation of the linear feedback shift registers 114 contained in random number generator circuit 102. At starting time, all errors in the logic circuit model included in the present table of errors for simulation 203 are set. The clock signal is input once, and correct values as well as the influence of errors are allowed to propagate. When the time comes to observe the output from the logic circuit model at the observation point set in the logic circuit model, an undetected error summary classifying errors that cannot be detected at that observation point is created, and this is the table of errors for simulation 203 for the next cycle; then each cycle is repeated. When the patterns generated by the random number generator circuit have cycled through, the simulation error table 203 at that point in time is output as error data ultimately undetectable by the randomly generated patterns.

[0020]

Next, logic circuit model 207 corresponding to the logic circuit block 103 section of Fig 1 is created, and patterns are sought for detecting the various errors included in undetected error data 206 by means of automatic test pattern generator 208 realized by computer. This is carried out until the necessary error detection rate in the logic circuit block is reached, and an auxiliary pattern table 209 is created chronologically ordering the signal values shifted into each scan chain 105. Each row of signal values in one time point from this auxiliary pattern table 209 is allotted one address, and is saved in auxiliary pattern storage memory of Fig 1.

[0021]

Table 1 is an example of an auxiliary pattern table.

[0022] [Table 1]

Time	Input signal value		
	a	b	c
T1	1	0	0

T2	0	1	0
T3	1	0	0
T4	1	1	1
T5	0	0	1
T6	X	X	X
T7	0	1	1
T8	1	0	1
T9	0	0	1
T10	1	1	1
T11	0	0	0
T12	X	X	X
...	...	...	...

[0023]

This example shows the configuration of the states of three scan chains 105 with five flip-flops 104 each in logic circuit block 103, the test object. Patterns for input signal values are shown for input terminals a, b and c of the three scan chains 105 in the logic circuit block so that at time T1, a = 1, b = 0, c = 0, and at time T2, a = 0, b = 1 and c = 0. At times T1, T2, T3, T4 and T5, synchronized with each of these clock signals, test data entered from input terminals a, b and c on scan chains 105 is shifted into scan flip-flops 104 on scan chains 105, and the shift-in operation is performed in five clock cycles. Then, at time T6, scan flip-flops 104 normally send data from the input to the output, synchronized with the clock. At time T6, because no shift operation is performed into scan chains 105, it doesn't matter whether the values input into input terminals a, b and c of scan chains 105 are 0 or 1, so they are represented with an "X." The process is the same for times T7 - T12.

[0024]

Table 2 explains the memory content of auxiliary pattern storage memory 116 corresponding to the contents of auxiliary pattern table of Table 1.

[0025] [Table 2]

Address	Bit		
	1	2	3
1	1	0	0
2	0	1	0
3	1	0	0
4	1	1	1
5	0	0	1
6	0	1	1
7	1	0	1
8	0	0	1
9	1	1	1
10	0	0	0
...	...	...	...

[0026]

Each bit of auxiliary pattern storage memory 116 corresponds to a scan chain 105, and each address corresponds to a time point from start. Input signal values of each input terminal a, b and c are assigned the 1<sup>st</sup> bit, 2<sup>nd</sup> bit and 3<sup>rd</sup> bit at shift-in time; the 1<sup>st</sup>, 2<sup>nd</sup> 3<sup>rd</sup> addresses etc correspond to times T1, T2, T3..., and they are stored in this way in auxiliary pattern storage memory 116 chronologically.

[0027]

By means of the self-inspection pattern generating device for incorporation in a logic circuit of Claim 1, patterns for detecting errors which cannot be detected by patterns generated by the random number generator circuit inside the semiconductor circuit are stored in an auxiliary pattern storage memory. First, patterns generated by the random number generator circuit are applied to each input of the circuit under test, and after one cycle of random number generation, the stored patterns are read out from auxiliary pattern storage memory and applied to the inputs of the circuit under test. As a result, by having auxiliary pattern storage memory for pattern storage, in addition to being able to construct a random number generator circuit with linear feedback shift registers having fewer stages than there are scan flip-flops and being able to perform error detection on all elements in a circuit under test using a pattern generating device of the smallest necessary circuit scale, because it is possible to perform error detection on all elements inside a circuit under test within a short time, total pattern generation time used for generating with the pattern generation device can be shortened.

[0028]

According to the method of pattern selection for self-inspection for incorporation in a logic circuit of Claim 2, by means of selecting error detection-efficient patterns using an automatic test pattern generator, it is possible to store only those patterns in auxiliary pattern storage memory, and the needed auxiliary pattern storage memory's capacity can be kept as low as possible.

---

#### [Brief Description of the Figures]

[Fig 1] Block diagram showing the structure of the self-inspection pattern generation device for incorporation in a logic circuit in the preferred embodiment of the present invention

[Fig 2] Flow chart showing the processing steps for selecting test patterns stored in the auxiliary pattern storage memory of Fig 1

[Fig 3] Block diagram showing the structure of a conventional self-inspection pattern generation device for incorporation in a logic circuit

#### [Explanation of the Numbering]

- 101 Semiconductor integrated circuit
- 102 Random number generator circuit
- 103 Logic circuit block
- 104 Scan flip-flop
- 105 Scan chain

- 106 Scan input signal
- 107 Switch signal
- 108 Selector
- 109 Output pattern compression circuit
- 110 Output comparison circuit
- 111 Expected value storage register
- 112 Pass/fail result signal
- 113 Register
- 114 Linear feedback register
- 115 Exclusive OR gate
- 116 Auxiliary pattern storage memory
- 117 Memory control signal
- 118 Memory output line
- 119 Address counter

Fig 3

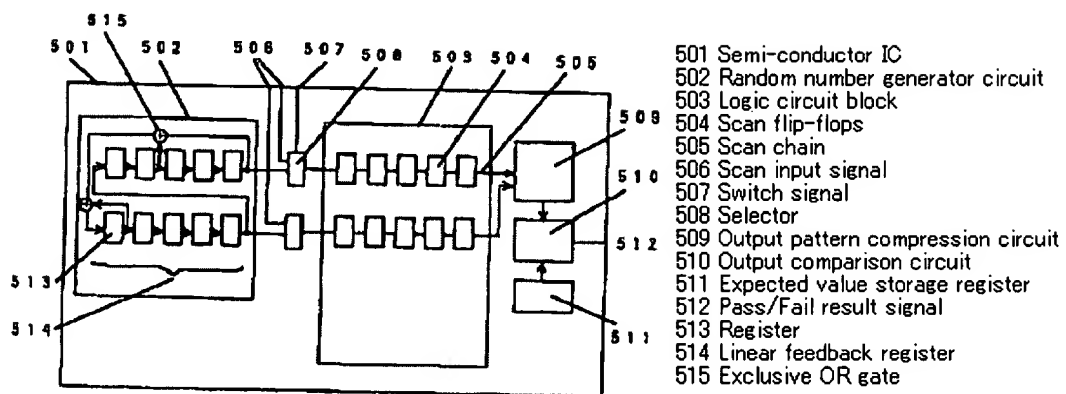




Fig 1

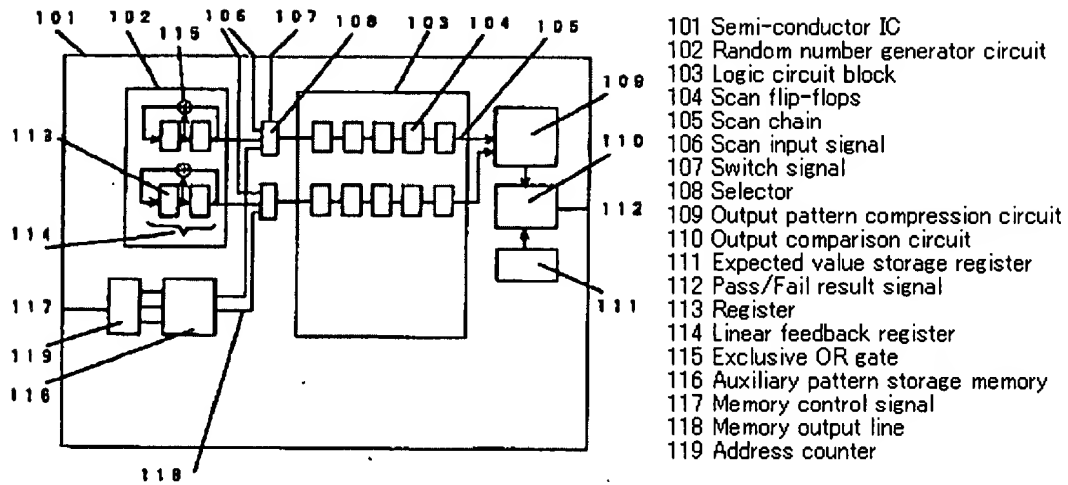


Fig 2

